

#2
42-02
cd

RABIN & BERDO, P.C.

STEVEN M. RABIN
ROBERT H. BERDO, JR.
PHILLIP G. AVRUCH
ALLEN WOOD
QIXIA ZHANG, Pat. Agent (China)

SUITE 500
1101 14th STREET, N.W.
WASHINGTON, D.C. 20005

PATENT, TRADEMARK
AND COPYRIGHT LAW
TELEPHONE: (202) 659-1915
TELEFAX: (202) 659-1898
E-MAIL: firm@rabinchamp.com

February 28, 2002

Box: PATENT APPLICATION

Commissioner for Patents
Washington, D.C. 20231

Attorney Reference: FUJI 126

Re: New Patent Application of: Tadayoshi KOBORI
Title: INFORMATION PROCESSING APPARATUS HAVING AN
INTERRUPT FUNCTION



Sir:

Please find attached hereto an application for patent which includes:

- [x] Specification, Claims and Abstract (26 pages)
- [x] 4 Sheets of Formal Drawings (Fig. 1 through Fig. 6)
- [x] Inventor's Declaration and Power of Attorney (3 Pages)
- [x] Claim for priority and Priority document.
- [x] Assignment document with cover page (2 Pages)
- [x] Fee (see formula below)

Basic Fee \$740/370	\$ <u>740.00</u>
Additional Fees:	
Total number of claims: <u>20</u>	
in excess of 20: <u>0</u> times \$18/9	\$ <u>0.00</u>
Number of independent claims: <u>4</u>	
in excess of 3: <u>1</u> times \$84/42	\$ <u>84.00</u>
Multiple Dependent Claims \$280/140	\$ <u>0.00</u>
Recording Fee \$40.	\$ <u>40.00</u>
TOTAL FEES FOR THE ABOVE APPLICATION	\$ <u>864.00</u>

In the event there is attached hereto no check, or a check for an insufficient amount, please charge the fee to our Account No. 18-0002 and notify us accordingly.

The right of priority is claimed under 35 USC §119 of Japanese Application No. 2001-295412, filed September 27, 2001.

Respectfully submitted,

Steven M. Rabin (Reg. No. 29,102)
Customer No. 23995

February 28, 2002
Date

FEE ENCLOSED: \$ 864.
Please charge any further
fees to our Deposit Account
No. 18-0002

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月27日

出 願 番 号

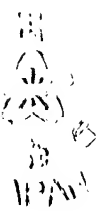
Application Number:

特願2001-295412

出 願 人

Applicant(s):

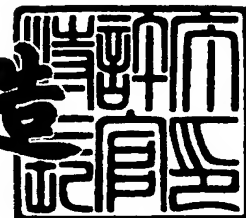
沖電気工業株式会社
株式会社 沖マイクロデザイン



2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3097014

【書類名】 特許願

【整理番号】 SA003683

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00
G06F 13/24

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社
沖マイクロデザイン内

【氏名】 小堀 忠由

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

【識別番号】 100082050

【弁理士】

【氏名又は名称】 佐藤 幸男

【手数料の表示】

【予納台帳番号】 058104

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9100477

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 割り込み処理可能な情報処理装置

【特許請求の範囲】

【請求項 1】 割り込み処理可能な情報処理装置であって、供給されるクロックに基づいて動作する中央演算処理装置と、第 1 のクロックを生成する第 1 クロック生成回路と、スタート信号を受けるとき、前記第 1 のクロックの周期よりも短い周期を有する第 2 のクロックを生成する第 2 クロック生成回路と、前記第 1 のクロックで前記中央演算処理装置を動作させるべく該中央演算処理装置に前記第 1 のクロックを供給し、前記第 2 クロック生成回路から前記第 2 のクロックを受けるとき、該第 2 のクロックで前記中央演算処理装置を動作させるべく、該中央演算処理装置に、前記第 1 のクロックに代えて前記第 2 のクロックを供給するクロック切り替え回路と、前記割り込み処理を通知する割り込み信号を受けるとき、前記中央演算処理装置に割り込み処理の開始を通知し、前記第 2 クロック生成回路に前記第 2 のクロックを生成させるべく前記第 2 クロック生成回路に前記中央演算処理装置を経ることなく前記スタート信号を供給する割り込み制御回路とを含むことを特徴とする情報処理装置。

【請求項 2】 割り込み処理可能な情報処理装置であって、第 1 のクロックに基づいて動作する中央演算処理装置と、割り込み処理を通知する割り込み信号を受けるとき、第 1 のクロックの周期よりも短い周期を有する第 2 のクロックを生成する第 2 クロック生成回路と、記憶部を有し、前記第 2 のクロックを受けるとき、前記割り込み処理のためのデータを前記記憶部に一時的に格納すべく動作可能であり、前記割り込み信号を受けると、前記割り込み処理の開始を前記中央演算処理装置に通知すべく該中央演算処理装置にスタート信号を出力し、前記記憶部に格納された前記データを順次前記中央演算処理装置に供給する割り込み制御回路とを含むことを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、割り込み処理を通知する割り込み信号を受けると、所定の周期を有

するクロックに代えて前記クロックよりも短い周期を有するクロックに基づいて動作する情報処理装置に関する。

【0002】

【従来の技術】

情報処理装置のアイドリング状態での消費電力の低減を図るために、一般的には、情報処理装置には、低速および高速のクロックを生成するための低速クロック生成回路および高速クロック生成回路が設けられている。

アイドリング状態では、情報処理装置の中央演算処理装置（以下、単にCPUと称する。）には、低速クロック生成回路からの低速クロックが供給され、これによりアイドリング時の低い消費電力の実現が図られる。

【0003】

情報処理装置に処理させるべきデータが送られるとき、この情報処理装置へのデータの供給に先立って、割り込み信号が情報処理装置に送られる。情報処理装置の前記CPUは、この割り込み信号を受けると、割り込み処理を行うべく、割り込み処理へ移行するための準備をする。前記CPUは、前記移行準備状態を終えると、非動作状態にある前記高速クロック生成回路を動作させるための制御信号をクロック切り替え回路を経て高速クロック生成回路に、発振開始信号として出力する。高速クロック生成回路は、前記発振開始信号を受けると、高速クロックの生成を開始し、この高速クロックが前記クロック切り替え回路により、低速クロックに代えて前記CPUに供給されると、該CPUは、割り込み処理を行うべく、高速動作を開始する。

【0004】

【発明が解決しようとする課題】

しかしながら、従来の前記情報処理装置では、高速クロック生成回路を動作させるための発振開始信号が、前記CPUを経由して該クロック生成回路に供給される。すなわち、前記CPUが割り込み信号を受けてから該CPUが割り込み処理へ移行する準備に要する移行準備時間は、前記CPUから前記発振開始信号が出力されることはなく、しかも、前記高速クロック生成回路は前記発振開始信号を受けてから、所定の発振安定時間の経過後、安定した高速クロックを発生する

。そのため、前記したCPUが割り込み信号を受けてから安定した高速クロックを受けて割り込み処理を開始するまでの待ち時間として、該CPUの前記移行準備時間に加えて、高速クロックが安定するまでの発振安定時間が必要となる。このことから、従来の前記情報処理装置では、割り込み信号を受けてから割り込み処理を開始するまでに、前記移行準備時間と発振安定時間との和で表される比較的長い待ち時間が必要であった。

【0005】

そこで、本発明の目的は、割り込み信号を受けてからその割り込み処理を実際開始するまでの待ち時間の短縮化を図り得る情報処理装置を提供することにある。

【0006】

【課題を解決するための手段】

本発明は、前記した目的を達成するために、次の構成を採用する。

本発明に係る割り込み処理可能の情報処理装置は、供給されるクロックに基づいて動作する中央演算処理装置であるCPUと、第1のクロックを生成する第1クロック生成回路と、スタート信号を受けるとき、前記第1のクロックの周期よりも短い周期を有する第2のクロックを生成する第2クロック生成回路と、前記第1のクロックで前記CPUを動作させるべく該CPUに前記第1のクロックを供給し、前記第2クロック生成回路から前記第2のクロックを受けるとき、該第2のクロックで前記CPUを動作させるべく、該CPUに、前記第1のクロックに代えて前記第2のクロックを供給するクロック切り替え回路と、前記割り込み処理を通知する割り込み信号を受けるとき、前記CPUに割り込み処理の開始を通知し、前記第2クロック生成回路に前記第2のクロックを生成させるべく前記第2クロック生成回路に前記CPUを経ることなく前記スタート信号を供給する割り込み制御回路とを含むことを特徴とする。

【0007】

本発明に係る前記情報処理装置では、前記割り込み信号を前記割り込み制御回路が受けると、前記割り込み制御回路は、スタート信号を同時的に前記CPUと前記第2クロック生成回路とに出力する。

前記CPUが前記スタート信号を受けると、前記CPUは前記第1のクロックから前記第2のクロックへの移行の準備を開始する。

【0008】

他方、前記第2クロック生成回路が前記スタート信号を受けると、前記CPUが割り込み処理の移行準備に入ると同時に、前記第2クロック生成回路は、前記第2のクロックの生成を開始する。

前記クロック切り替え回路は、前記CPUの前記移行準備時間および前記第2クロック生成回路の発振安定時間のうちのいずれか長い方の時間の経過後、前記第1のクロックに代えて前記第2クロック生成回路からの前記第2のクロックを前記CPUに供給する。

【0009】

従って、本発明に係る前記情報処理装置によれば、該情報処理装置の前記割り込み制御回路が前記割り込み信号を受けると、前記CPUが割り込み処理の移行準備を開始すると同時に、これに並行して前記第2クロック生成回路が前記第2のクロックの生成を開始することから、前記した割り込み信号の受信後、前記CPUの前記移行準備時間および前記第2クロック生成回路の発振安定時間のうちのいずれか一方の長い方の時間の経過後に、前記CPUは割り込み処理の実行が可能となり、この並行処理により、割り込み信号を受信後、割り込み処理を開始するまでの時間の短縮化が可能となる。

【0010】

本発明に係る他の情報処理装置は、割り込み処理可能の情報処理装置であって、第1のクロックに基づいて動作する中央演算処理装置たるCPUと、割り込み処理を通知する割り込み信号を受けるとき、第1のクロックの周期よりも短い周期を有する第2のクロックを生成する第2クロック生成回路と、記憶部を有し、前記第2のクロックを受けると、前記割り込み処理のためのデータを前記記憶部に一時的に格納すべく動作可能であり、前記割り込み信号を受けるとき、前記割り込み処理の開始を前記中央演算処理装置に通知すべく該中央演算処理装置にスタート信号を出力し、前記記憶部に格納された前記データを順次前記CPUに供給する割り込み制御回路とを含むことを特徴とする。

【 0 0 1 1 】

本発明に係る前記他の情報処理装置では、前記割り込み信号を前記割り込み制御回路が受けると、該割り込み制御回路は前記CPUに、割り込み処理の開始を通知するスタート信号を出力する。前記CPUが前記スタート信号を受けると、前記CPUは前記第1のクロックに基づいて、割り込み処理の準備を開始する。

他方、前記第2クロック生成回路が、前記割り込み信号を受けると、前記CPUが割り込み処理の準備に入ると同時に、前記第2クロック生成回路は、前記第2のクロックの生成を開始し、前記第2クロック生成回路は前記第2のクロックを前記割り込み制御回路に出力する。

【 0 0 1 2 】

前記割り込み制御回路は、発振が安定した前記第2のクロックを受けると、前記第2のクロックに基づいて動作する。前記割り込み制御回路の記憶部は、前記第2のクロックに基づいて、割り込み処理のためのデータを一時的に格納すると該データを順次前記CPUに供給する。

【 0 0 1 3 】

本発明に係る前記他の情報処理装置では、前記割り込み制御回路および第2クロック生成回路が割り込み信号を受けると、前記CPUが割り込み処理の準備を開始すると同時に、これに並行して前記第2クロック生成回路が前記第2のクロックの生成を開始することから、前記CPUの前記割り込み処理の準備と並行して前記第2クロックの発振安定を図ることができる。従って、前記割り込み制御回路は、低速で動作する前記CPUの割り込み処理の準備の完了を待つことなく、高速で送信される割り込み処理データを一時的に確実に格納すべく早期に割り込み処理データを受信可能な状態に移行する。この割り込み制御回路により受信され、これに一時的に格納された前記処理データは、前記CPUに順次供給されることにより、該CPUに高速で前記割り込み処理データが直接的に供給されたときに生じるであろうデータのオーバフローによるその欠落を招くことなく、低速動作する前記CPUにより、確実に前記処理データを処理することができる。

従って、本発明に係る前記他の情報処理装置によれば、前記したと同様に、前記割り込み信号を受けてから割り込み処理を開始するまでの時間の短縮化が可能

となる。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態を具体例を用いて説明する。

〈具体例1〉

図1は、本発明に係る具体例1の情報処理装置10を示すブロック図である。

前記情報処理装置10は、例えば、従来よく知られたLSIと称する大規模集積回路の一部として、半導体チップに組み込まれる。前記情報処理装置10は、第1のクロックを生成する第1クロック生成回路11と、前記第1のクロックよりも高速の、すなわち、前記第1のクロックの周期よりも短い周期を有する第2のクロックを生成する第2クロック生成回路と、前記第1および第2の両クロックを受け、該第1および第2のクロックのいずれか一方のクロックを選択的に出力するクロック切り替え回路13と、前記クロック切り替え回路13を経て供給される前記クロック生成回路11または12からのクロックで動作する中央演算処理装置(CPU)14と、前記情報処理装置10に処理させるべきデータが送られるに先立ち、前記LSIの外部または内部からの割り込み信号を受けると、前記CPU14に割り込み処理への移行準備の開始と第2クロック生成回路12に前記第2のクロックの生成開始とを通知する、スタート信号を前記CPU14および前記第2クロック生成回路12のそれぞれに出力する割り込み制御回路15とを備える。

【0015】

前記第1クロック生成回路11は、例えば前記情報処理装置10の起動と同時に起動され、クロック生成回路11からの第1のクロックは、クロック切り替え回路13を経て前記CPU14に供給される。

前記CPU14は、そのホルトモードでは、この第1のクロックの供給を受けて待機状態におかれる。

第2クロック生成回路12は、前記したCPU14のホルトモードでは、第2のクロックを生成することのない非発振状態にある。前記第2クロック生成回路12は、前記割り込み制御回路15からのスタート信号を受けると、第2のクロ

ックを生成すべく発振動作を開始する。

【 0 0 1 6 】

前記割り込み制御回路 1 5 は、割り込み処理の開始を通知する割り込み信号を受けると、前記第 2 のクロックを発振させるべく前記スタート信号を前記第 2 クロック生成回路 1 2 に出力する。割り込み制御回路 1 5 から出力された前記スタート信号は、同時に、前記 CPU 1 4 に入力する。

前記 CPU 1 4 は、割り込み制御回路 1 5 から前記スタート信号を受けると、割り込み処理へ移行するための準備を開始する。

また、クロック切り替え回路 1 3 は、前記 CPU 1 4 が割り込み処理へ移行するための準備を完了し、しかも前記第 2 クロック生成回路 1 2 からの第 2 のクロックの発振が安定した後、該第 2 のクロックを、前記第 1 クロック生成回路 1 1 からの第 1 のクロックに代えて、前記 CPU 1 4 に供給すべく、切り替え動作を行う。

【 0 0 1 7 】

前記情報処理装置 1 0 の動作を図 2 のフローチャートに沿って説明する。

前記情報処理装置 1 0 のアイドリング状態では、CPU 1 4 の電力の消費を抑えるために、該 CPU 1 4 は、前記したホルトモードと称する待機状態にある。待機状態で、前記割り込み制御回路 1 5 が、例えば、前記 L S I の外部から前記割り込み信号を受けると、前記スタート信号を前記 CPU 1 4 および前記第 2 クロック生成回路 1 2 に送出することにより、割り込み処理の開始を前記 CPU 1 4 に通知し、かつ前記第 2 のクロックの生成の開始を前記第 2 クロック生成回路 1 2 に通知する（ステップ S 1 0）。

【 0 0 1 8 】

前記 CPU 1 4 が割り込み処理の開始の通知を受けると、前記 CPU 1 4 は、ホルトモードを抜けて動作モードに移行する（ステップ S 1 1）。

前記 CPU 1 4 は、動作モードに移行する（ステップ S 1 1）と、該動作モードに移行した前記 CPU 1 4 は、割り込み処理へ移行するための準備を開始する（ステップ S 1 2）。

【 0 0 1 9 】

他方、前記第 2 クロック生成回路 1 2 が前記スタート信号を受けると、前記第 2 クロック生成回路 1 2 は、前記第 2 のクロックの生成を開始する（ステップ S 1 3）。

【 0 0 2 0 】

前記第 2 クロック生成回路 1 2 から第 2 のクロックを受けるクロック切り替え回路 1 3 は、前記第 2 のクロックの発振が安定するに要する発振安定時間および前記 CPU 1 4 が割り込み処理へ移行準備に要する移行準備時間のうちのいずれか一方の長い方の時間の経過後、前記 CPU 1 4 への供給クロックを第 1 クロックから第 2 のクロックに切り替える（ステップ S 1 4）。

このクロックの切り替えにより、前記 CPU 1 4 は、高速処理での動作を開始し（ステップ S 1 5）、割り込みデータを高速で処理する。

【 0 0 2 1 】

前記情報処理装置 1 0 の動作を、更に、図 3 のタイムチャートに沿って説明する。

前記割り込み制御回路 1 5 が割り込み信号を受けると（T 1 0）、前記割り込み制御回路 1 5 は、前記第 2 クロック生成回路 1 2 および前記 CPU 1 4 に、同時的にスタート信号を出力する（T 1 1）。

前記スタート信号を前記 CPU 1 4 が受けると、該 CPU 1 4 は、ホルトモードから動作モードに移行し、割り込み処理を行うべく、割り込み処理へ移行するための準備を開始する（T 1 2）。

他方、前記スタート信号を前記第 2 クロック生成回路 1 2 が受けると、該第 2 クロック生成回路 1 2 は、前記第 2 のクロックの生成を開始する（T 1 3）。

従って、本発明に係る具体例 1 の情報処理装置 1 0 では、図 3 に示すタイムチャートから明らかなように、前記した割り込み処理へ移行するための準備および前記第 2 のクロックの生成は、同時的に開始する。

【 0 0 2 2 】

前記クロック切り替え回路 1 3 は、前記した割り込み処理へ移行するための準備に要した時間および前記第 2 のクロックが安定するに要した時間のうちのいずれか一方の長い方の時間の経過後に、前記第 1 のクロックから前記第 2 のクロッ

クへの切り替えを実行する。

このクロックの切り替えにより、前記第2のクロックの供給を受けた前記CPU14は、前記第2のクロックに基づいて、高速に割り込み処理を行う(T14)。

【0023】

本発明に係る情報処理装置10では、前記したように、割り込み処理の開始を通知するスタート信号が前記CPU14および前記第2クロック生成回路12に同時的に送られることから、該第2クロック生成回路は、前記CPU14を経ることなく、前記割り込み制御回路15から直接送られるスタート信号によりクロックの生成を開始する。

従って、前記した第2のクロックの発振が安定するに要する発振安定時間と、前記した割り込み処理へ移行するための準備に要する移行準備時間とが並行に経過することにより、前記割り込み制御回路15が前記割り込み信号を受けると、発振安定時間と移行準備時間とのうちいずれか一方の長い方の時間の経過後、前記第1のクロックに代えて前記第2のクロックを前記CPU14に供給し、前記第2のクロックの供給を受ける前記CPU14は、前記第2のクロックでの動作により、割り込み処理を行う。

【0024】

他方、従来の処理装置では、従来技術の項で説明したとおり、前記割り込み信号を受けてから、移行準備時間と発振安定時間との和で表される時間が経過後、前記第1のクロックに代えて前記第2のクロックで前記CPU14が動作するに過ぎない。

これに対し、本発明に係る前記処理装置10によれば、移行準備時間と発振安定時間とのいずれか一方の時間が経過すると、前記CPU14は前記第2のクロックで動作することが可能となることから、割り込み信号を受けてから割り込み処理を行うまでの待ち時間を短縮することができる。

【0025】

前記した前記情報処理装置10では、前記CPU14が待機状態にあるホルトモードでの割り込み処理を行う例を示したが、これに代えて、前記CPU14が

処理をしている動作モードの場合でも、前記したと同様に割り込み処理を行うことができる。

【 0 0 2 6 】

＜具体例 2＞

図 4 は、本発明に係る具体例 2 の情報処理装置 1 0 ' を示すブロック図である。

前記情報処理装置 1 0 ' は、前記した具体例 1 と同様に L S I の一部として、半導体チップに組み込まれる。前記情報処理装置 1 0 ' は、第 1 のクロックを生成する第 1 クロック生成回路 1 1 と、前記第 1 のクロックよりも高速の第 2 クロックを生成する第 2 クロック生成回路 1 2 と、前記第 1 のクロックを受け、該クロックを周辺回路に供給するクロック切り替え回路 1 3 と、前記クロック切り替え回路 1 3 を経て供給される前記第 1 クロック生成回路 1 1 からの第 1 のクロックで動作する中央演算処理装置 (C P U) 1 4 と、前記情報処理装置 1 0 ' に処理させるべきデータが送られるに先立ち、前記 L S I の外部または内部からの割り込み信号を受けると、前記 C P U 1 4 に割り込み処理への移行準備の開始を通知するスタート信号を前記 C P U 1 4 に出力した後、前記第 2 クロック生成回路 1 2 からの第 2 のクロックに基づいて前記割り込み処理のためのデータを一時的に格納し、該データを順次前記 C P U 1 4 に供給する記憶部 1 5 a を有する割り込み制御回路 1 5 とを備える。

【 0 0 2 7 】

具体例 2 に係る前記情報処理装置 1 0 ' では、前記 C P U 1 4 は、第 1 クロック生成回路 1 1 からの第 1 のクロックにより、動作する。第 2 クロック生成回路 1 2 は、割り込み信号を受けると、高速の第 2 クロックを生成する。この第 2 クロック生成回路 1 2 への割り込み信号は、前記割り込み制御回路 1 5 を経ることなく、第 2 クロック生成回路 1 2 に直接的に供給される。

前記割り込み制御回路 1 5 には、前記したとおり、前記割り込み処理のためのデータを一時的に格納するための記憶部 1 5 a が設けられている。前記割り込み制御回路 1 5 は、前記第 2 クロック生成回路 1 2 からの第 2 のクロックに基づく動作により、割り込み制御回路に高速で送信されるデータのオーバフローを招く

ことなく、該データを前記記憶部 1 5 a に確実に保持する作用をなす。

【 0 0 2 8 】

前記具体例 2 の情報処理装置 1 0 ' の動作を図 5 のフローチャートに沿って説明する。前記情報処理装置 1 0 ' の前記 CPU 1 4 は、前記した具体例 1 と同様にホルトモードの状態にある。

前記 CPU 1 4 のホルトモードでは、前記割り込み制御回路 1 5 は、前記割り込み信号を受けると、具体例 1 と同様に、前記 CPU 1 4 に前記スタート信号が出力される（ステップ S 2 0 ）。

前記具体例 1 とは異なり、前記第 2 クロック生成回路 1 2 は、前記割り込み制御回路 1 5 を経る制御信号（スタート信号）を受けることなく、前記割り込み制御回路が受ける割り込み信号を該割り込み制御回路と同時的に直接的に受ける。

【 0 0 2 9 】

前記 CPU 1 4 が前記スタート信号を受けると、前記 CPU 1 4 は、具体例 1 におけると同様に、ホルトモードを抜けて動作モードに移行する（ステップ S 2 1 ）。

前記 CPU 1 4 は、動作モードに移行すると、該動作モードに移行した前記 CPU 1 4 は、前記したと同様に、割り込み処理へ移行するための準備を開始する（ステップ S 2 2 ）。

【 0 0 3 0 】

前記割り込み制御回路 1 5 と同時的に前記第 2 クロック生成回路 1 2 が、割り込み信号を受けると、前記第 2 クロック生成回路 1 2 は、第 2 のクロックの生成を開始する（ステップ S 2 3 ）。

【 0 0 3 1 】

前記第 2 クロック生成回路 1 2 から第 2 のクロックを受ける割り込み制御回路 1 5 は、前記第 2 のクロックの発振が安定するに要する発振安定時間の経過後、前記第 2 のクロックに基づいて割り込み処理のためのデータの受信を開始し（ステップ S 2 4 ）、該データを前記記憶部 1 5 a に一時的に格納する。

【 0 0 3 2 】

前記 CPU 1 4 は、前記記憶部 1 5 a が一時的に格納したデータを前記記憶部

15aから順次供給を受けて、前記CPU14は前記第1のクロックに基づいて割り込み処理を行う（ステップS25）。

【0033】

前記具体例2の情報処理装置10'の動作を、更に、図6のタイムチャートに沿って説明する。

前記割り込み制御回路15が割り込み信号を受けると（T20）、前記割り込み制御回路15は、前記CPU14にスタート信号を出力する（T21）。

前記スタート信号を前記CPU14が受けると、該CPU14は、ホルトモードから動作モードに移行し、割り込み処理を行うべく、割り込み処理へ移行するための準備を開始する（T22）。

前記割り込み制御回路15と同時的に前記第2クロック生成回路12が、割り込み信号を受けると、該第2クロック生成回路12は、前記第2のクロックの生成を開始する（T23）。

従って、本発明に係る具体例1の情報処理装置10'では、図3に示すタイムチャートから明らかなように、前記した割り込み処理へ移行するための準備および前記第2のクロックの生成は、ほぼ同時的に開始する。

【0034】

前記第2のクロックの発振の安定後、該クロックに基づいて前記割り込み制御回路15は、前記割り込み処理のためのデータを受けて、前記割り込み制御回路15の記憶部15aに一時的に格納し、該記憶部15aに格納されたデータは、前記CPU14が割り込み処理の移行準備の完了後、該CPU14に、順次、供給される。前記CPU14は、前記記憶部15aから順次供給されるデータを処理すべく、低速な前記第1のクロックに基づいて割り込み処理を行う（T24）。

【0035】

本発明に係る情報処理装置10'では、前記したように、割り込み信号が前記CPU14および前記第2クロック生成回路12に同時的に送られることから、該第2クロック生成回路12は、前記CPU14を経ることなく、直接送られる割り込み信号により前記第2のクロックの生成を開始する。

従って、具体例 1 におけると同様に、前記 CPU 1 4 の割り込み処理移行開始と、高速な第 2 クロック生成回路 1 2 の生成開始とをほぼ同時的に行うことが可能となる。これにより、割り込み信号の受信後、従来に比較して早期に割り込み処理を開始することができることから、割り込み信号を受けてから割り込み処理を行うまでの待ち時間を短縮することができる。

【 0 0 3 6 】

更に、本発明に係る前記情報処理装置 1 0 ' によれば、割り込み処理のためのデータを高速な第 2 のクロックに基づいて動作する前記割り込み制御回路 1 5 が受信し、前記データを低速な第 1 のクロックに基づいて動作する前記 CPU 1 4 が処理することから、前記割り込み処理のためのデータは、高速クロックで動作する前記割り込み制御回路 1 5 により欠落することなく受信することができ、かつ前記データに基づく割り込み処理は、低速クロックで動作する前記 CPU 1 4 により低い消費電力で行うことができる。

【 0 0 3 7 】

【発明の効果】

本発明に係る前記情報処理装置では、前記したように、前記割り込み制御回路が割り込み信号を受けた後、前記 CPU が割り込み処理へ移行するための準備を開始すると同時に、これに並行して前記第 2 クロック生成回路が第 2 のクロックの生成を開始する。この並行処理により、前記割り込み信号を受信してから前記割り込み処理を開始するまでの時間の短縮化が可能となることから、前記情報処理装置によれば、前記割り込み信号を受けると従来に比較して速く割り込み処理を開始することができる。

【 0 0 3 8 】

本発明に係る前記他の情報処理装置によれば、前記したように、前記割り込み制御回路が割り込み信号を受けた後、前記 CPU が割り込み処理の準備を開始すると、これと並行して、前記第 2 クロック生成回路が前記割り込み信号を受けると、第 2 クロック生成回路が高速な第 2 のクロックの生成を開始する。前記第 2 のクロックの供給を受けて該クロックに基づいて高速に動作する前記割り込み制御回路は、低速で動作する前記 CPU の割り込み処理の準備の完了とは関連なく

、高速で送信されるであろう割り込み処理データをオーバフローによる欠落を招くことなく受信すると、前記データを一時的に格納し、該データを順次低速で動作する前記CPUに供給することから、割り込み処理のためのデータを確実に得ることができ、かつ該データに応じた割り込み処理を低消費電力で行うことができる。

【0039】

更に、本発明に係る前記他の情報処理装置によれば、前記した並行処理により、前記割り込み信号を受信してから前記割り込み処理を開始するまでの時間の短縮化が可能となることから、前記割り込み信号を受けると従来に比較して速く割り込み処理を開始することができる。

【図面の簡単な説明】

【図1】

情報処理装置のブロック図（具体例1）である。

【図2】

情報処理装置のフローチャート（具体例1）である。

【図3】

情報処理装置のタイムチャート（具体例1）である。

【図4】

情報処理装置のブロック図（具体例2）である。

【図5】

情報処理装置のフローチャート（具体例2）である。

【図6】

情報処理装置のタイムチャート（具体例2）である。

【符号の説明】

- 10 具体例1の情報処理装置
- 10' 具体例2の情報処理装置
- 11 第1クロック生成回路
- 12 第2クロック生成回路
- 13 クロック切り替え回路

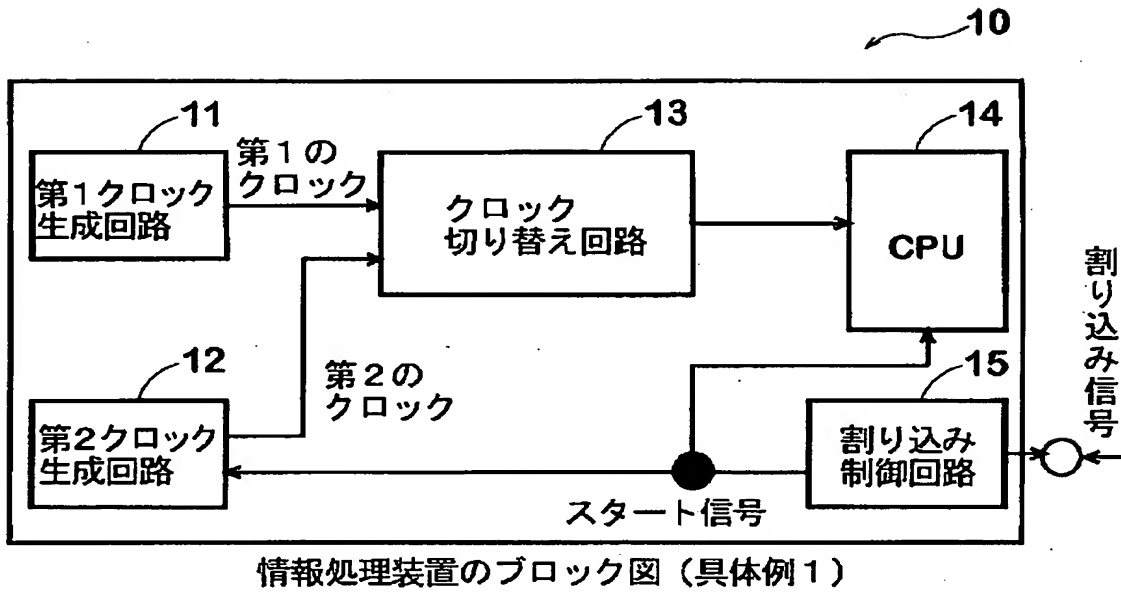
1 4 中央演算処理装置 (C P U)

1 5 割り込み制御回路

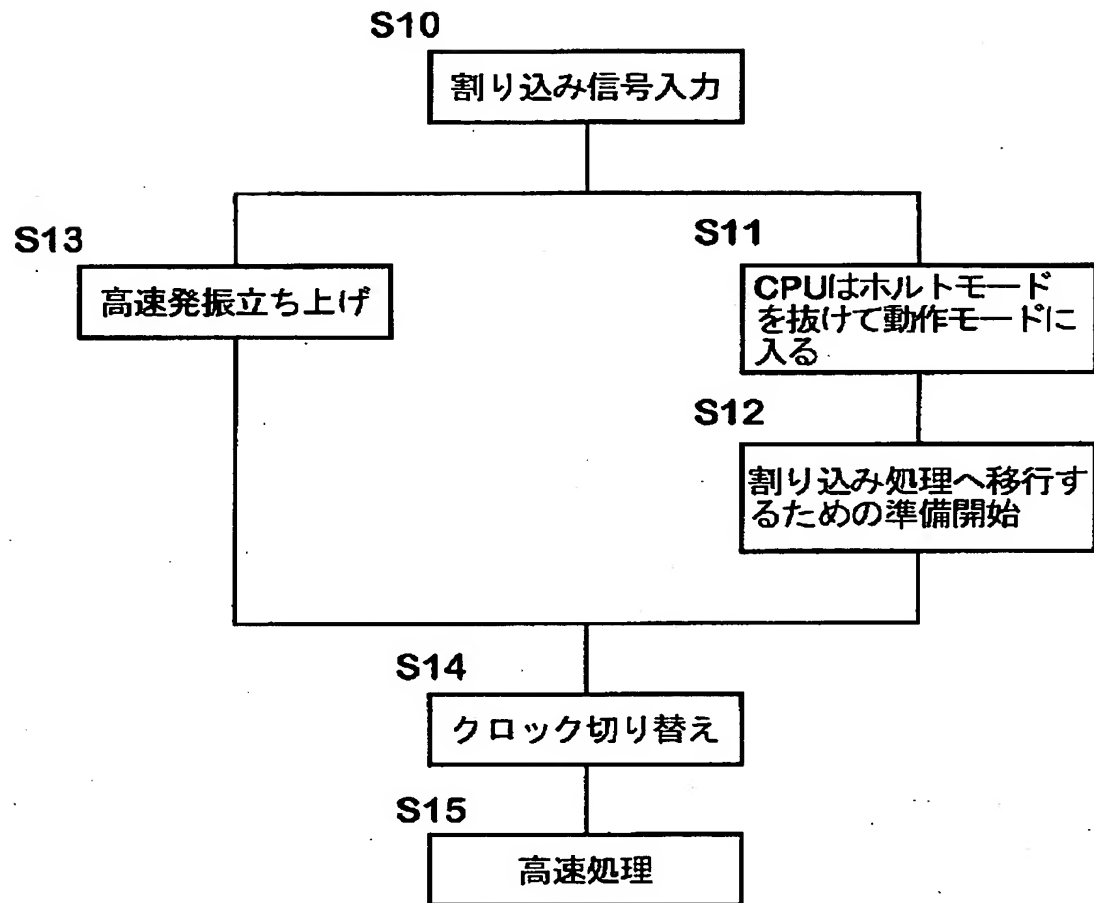
1 5 a 記憶部

【書類名】 図面

【図 1】

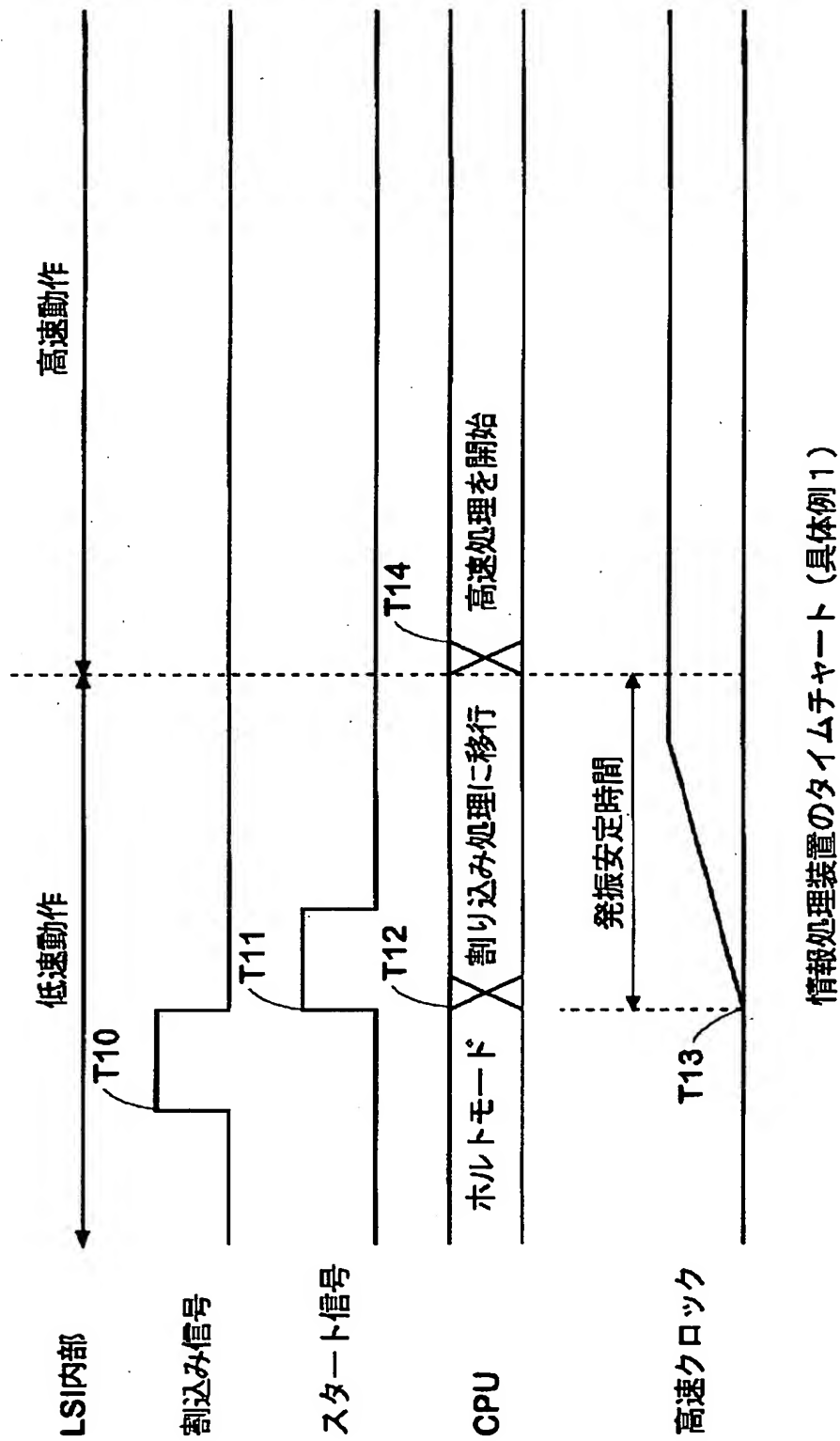


【図 2】

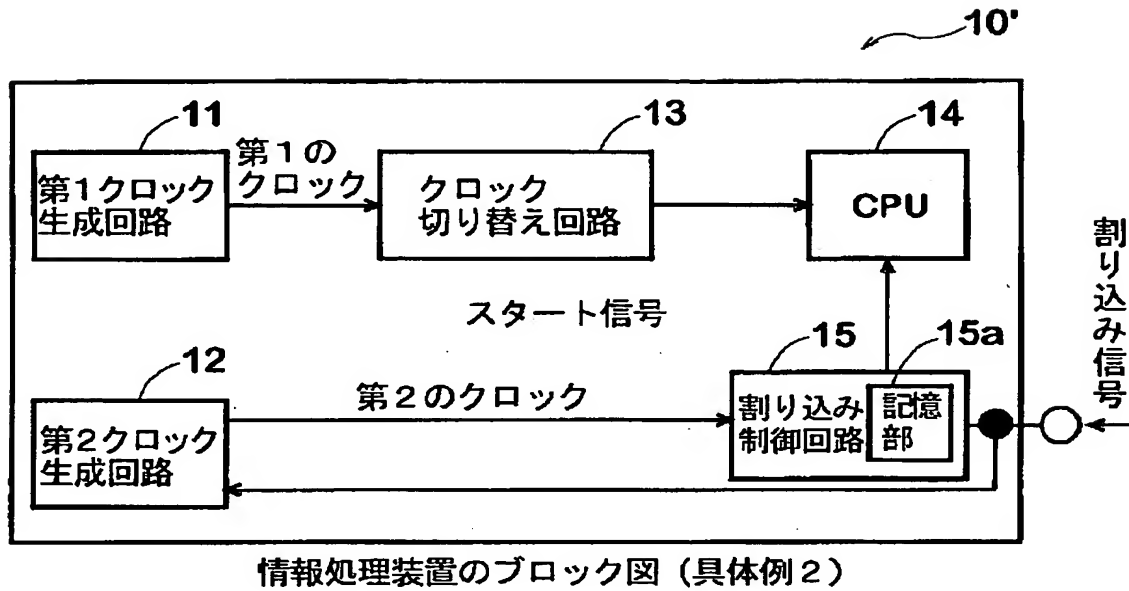


情報処理のフローチャート（具体例1）

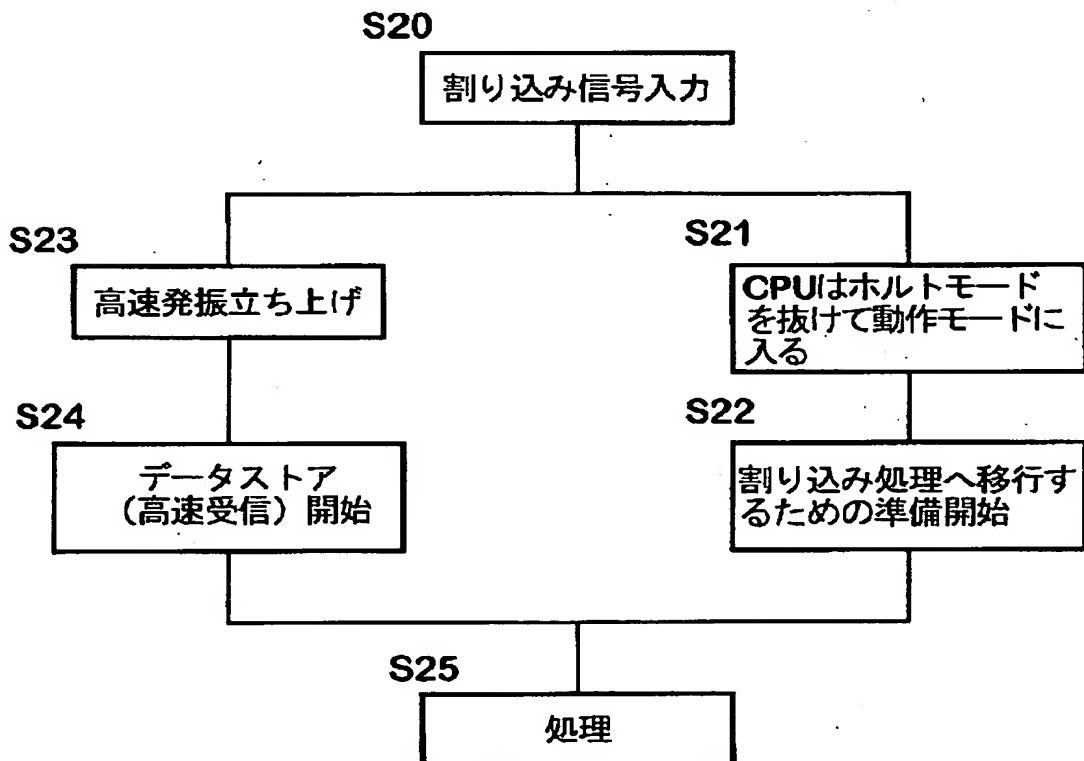
【図 3】



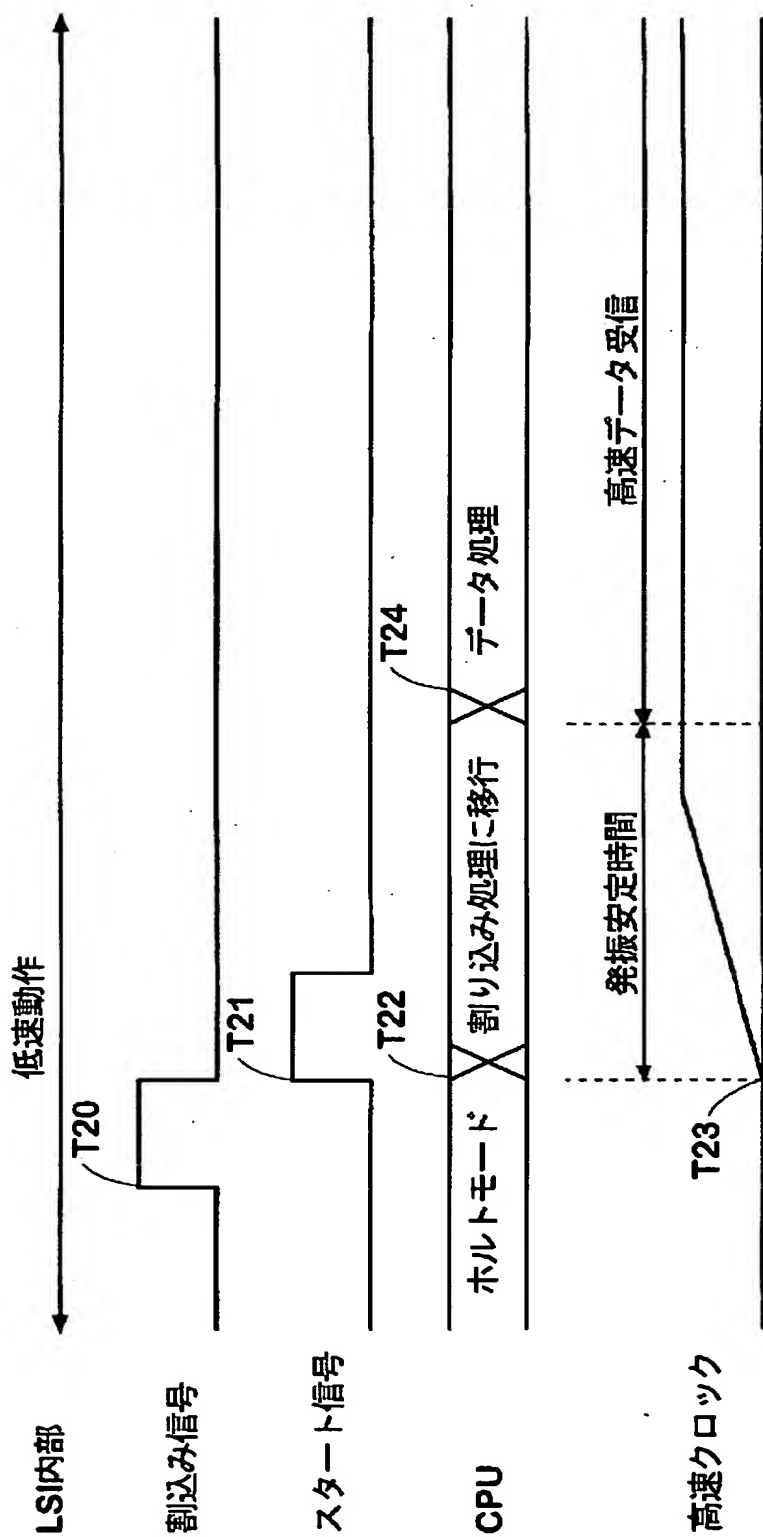
【図 4】



【図 5】



【図6】



情報処理装置のタイムチャート (具体例2)

【書類名】 要約書

【要約】

【課題】 情報処理装置が割り込み信号を受けてから割り込み処理を実際に開始するまでの待ち時間の短縮化を図る。

【解決手段】 情報処理装置は、第1のクロックに基づいて動作するCPUと、第1のクロックよりも速い第2のクロックを生成する第2クロック生成回路と、第2のクロックを受けると、第2のクロックでCPUを動作させるべく、第1のクロックに代えて第2のクロックをCPUに供給するクロック切り替え回路と、割り込み信号を受けると、CPUに割り込み処理の開始を通知し、第2クロック生成回路に第2のクロックを生成すべくスタート信号を供給する割り込み制御回路とを備える。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-295412
受付番号	50101421809
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年10月 4日

<認定情報・付加情報>

【提出日】	平成13年 9月27日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [591049893]

1. 変更年月日	1999年 6月17日
[変更理由]	名称変更
住 所	宮崎県宮崎郡清武町大字木原7083番地
氏 名	株式会社 沖マイクロデザイン